

한국 등록특허번호 2000-268/45호(2000.10.16) 1부.

10-0268745

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁷ G11C 11/409	(45) 공고일자 2000년10월16일
	(11) 등록번호 10-0268745
	(24) 등록일자 2000년07월15일
(21) 출원번호 10-1997-0050705	(65) 공개번호 특1998-0063507
(22) 출원일자 1997년09월30일	(43) 공개일자 1998년10월07일
(30) 우선권주장 08/770,364 1996년12월20일 미국(US)	
(73) 특허권자 인터내셔널 비즈니스 머신즈 코퍼레이션 미국 10504 뉴욕주 마몬크	포만 제프리 엡
(72) 발명자 찰웨이 미국 뉴욕주 10504 마몬크 롱 폰드 로드 3 특왕진	
(74) 대리인 김창세, 장성구	미국 뉴욕주 10514 차파쿠아 랜딩 팜스 드라이브 29

심사관 : 이종환

(54) 병합된 동적 랜덤 액세스 메모리/논리 소자

요약

칩 아키텍처 표준(chip architecture standard)은 동적 랜덤 액세스 메모리 매크로(dynamic random access memory macros; DRAM macros) 및 로직 코어(logic cores)를 병합한다. 병합된 DRAM 및 논리 설계로부터의 표준은 시스템 온칩(system-on-chips) 설계시에 단순성, 높은 관측 및 기록 액세스 속도, 저 전력 소비 및 잡음 억제 장점을 제공한다. DRAM 매크로 및 로직 코어에 대한 높은 성능 및 낮은 클럭 스쿠(clock skew)를 위해 아키텍처는 평형 클럭 분배(balanced clock distribution)에 의존한다. 제어 로직의 클럭 드라이버로부터 각종 DRAM 매크로의 대출하는 입력까지의 평형 와이어링(balanced wiring)에 의해 어드레스 및 제어 신호의 지연의 차가 최소화된다. 분리된 Vdd 및 Gnd 전력 그리드는 DRAM 매크로 및 로직 코어에 전력을 분배하고 디커플링 캐패시터 어레이(decoupling capacitor arrays)를 내장하여 DRAM 매크로 및 로직 코어 사이의 잡음을 억제하고 칩 동작시에 전원 변동 di/dt를 최소화한다.

도면

도 1

도면

도면의 구성요소 설명

- 도 1은 본 발명에 따른 병합된 DRAM/논리 칩의 일예인 아키텍처의 블록도.
 도 2는 도 1에 도시된 병합된 DRAM/논리 칩에 대한 칩 평면의 블록도.
 도 3은 클럭 네트워크에 대한 종래 기술의 방법을 나타내는 수정된 도 2에 도시된 평면의 블록도.
 도 4a는 본 발명에 따른 클럭 생성 네트워크의 레이아웃을 나타내는 도 2에 도시된 평면의 블록도.
 도 4b는 도 4a의 일부를 확대하여 본 발명에 따른 평형 제어 및 어드레스 라인을 확대하여 상세하게 도시한 도면.
 도 5a는 DRAM 매크로 및 각종 로직 코어와 함께 드라이버 및 디커플링 캐패시터를 나타내도록 구현된 칩의 평면도.
 도 5b는 DRAM 매크로 및 로직 코어에 대한 전력 그리드를 나타내도록 구현된 칩의 평면도.
 도 6a 및 도 6b는 제어가능한 전력 패드 접속을 사용할 수 있는 접속 유형의 예를 개략적으로 도시한 도면.
 도 7은 DRAM 매크로 및 로직 코어 전력 그리드를 접속하거나 또는 개방하는 프로그램가능한 와이어링 구조의 블록도.

도면의 주요 부분에 대한 부호의 설명

- | | |
|---------------------|---------------------|
| 11, 22 : 위상 동기 루프 | 12, 23 : 메모리 제어기 |
| 13, 24 : 대역폭 그래픽 엔진 | 14, 25 : 직렬 액세스 메모리 |
| 15 : 동기형 DRAM | 16a, 16b : 데이터 버스 |

10-0268745

17a, 17b, 17c, 17d : 멀티플렉서/버퍼

발명의 상세한 설명**발명의 목적****발명이 속하는 기술분야 및 그 분야의 종래기술**

본 발명은 전반적으로 단일 집적 회로(IC) 칩상에 병합된 로직 아키텍처 및 동적 랜덤 액세스 메모리(DRAM)에 관한 것으로, 보다 상세하게는 일체 경로 블록 및 제어 신호에 평형 와이어링(balanced wiring)을 제공하고 DRAM 매크로 및 로직 코어에 대해 전력 그리드 분배 네트워크(power grid distribution network)를 단순화하는 표준화된 단일 칩의 병합된 DRAM/로직 아키텍처 및 평면에 관한 것이다. 본 발명은 특히 랜덤 액세스 판독 또는 기록 트래픽상에서 고성능을 지원할 수 있는 통합된 매체 메모리(unified media memory; UMM) 엔진에 적용가능한 것이다.

단일 칩상에서 수백만개의 논리 게이트 및 메모리 셀을 갖는 복합 시스템을 미끌어내기 위한 많은 시도가 있었다. 그러나, 단일 칩상에 다수의 게이트 및 메모리 매크로를 설계하는 것은 엄청난 문제를 제공하게 된다. 현재의 반도체 산업 환경에서, 로직 코어는 로직 프로세스 기술을 기초로 하여 개발되고 있으며, DRAM 매크로는 DRAM 프로세스 기술을 기초로 하여 개발되고 있다. 논리 및 DRAM 기술은 2개의 매우 상이한 방법을 제시한다.

매우 상이한 그라운드 규칙에 기초하는 주은 설계, 합성 설계, 사전설계된 로직 코어(pre-designed logic cores) 및 재사용가능한 DRAM 매크로를 조합시키는 것은 매우 복잡한 일이다. 판매용의 새로운 시스템 온칩 제품을 구축하는 것은 새로운 병합된 논리/DRAM 기술을 필요로 한다.

현재의 기본 시스템 온칩 설계의 개념은 재고의(off the shelf) 소자가 인쇄 회로 기판(printed circuit board; PCB)상에 배치되는 것과 동일한 방식으로 칩상에 로직 코어 또는 메모리 매크로를 배치하고, 메모리, 랜덤 로직, 데이터 경로 접속부를 부가하여 시스템 레벨이 집적화된다. 불행하게도, 이는 간단하지가 않다. 기존의 로직 코어 또는 메모리 매크로와 함께 작업하면 설계 시간에 있어 고속의 턴어라운드(turn around)를 제공할 수 있으나, 이 방법은 칩상에서 새롭게 병합된 논리/DRAM 기술에 적합하도록 다량의 인터페이스 작업을 여전히 필요로 한다. 종래의 방식으로 로직 코어 및 DRAM 매크로를 조합하는 경우에는 트랜지스터 일체치 및 금속층, 글로벌 시뮬레이션(global simulation), 검증, 와이어 경로배정 및 칩 집적화와 같은 기술적 매핑에 있어 문제가 생긴다. 로직 코어 및 DRAM 매크로 사이에는 스위칭 잡음 디커플링 캐패시터(switching noise decoupling capacitors)가 있어야 한다. 클럭 스쿠, 성능, 전력 소비, 랜덤 액세스 데이터 속도, DRAM 매크로 및 로직 코어의 동기화, 잡음 마진 및 패키지와 같은 다른 문제들도 역시 중요해질 수 있다. 따라서, 단일 칩상에서 시스템을 집적하기 위해서는 평면도, 전력 및 열력 분배, 어드레스, 제어 데이터 경로 및 입/출력(I/O) 버스의 설계가 커다란 문제가 된다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명의 목적은 동일한 칩상에 DRAM 매크로 및 로직 코어를 배치하기 위한 사양을 제공하는 것이다.

본 발명에 따르면, 단일 칩상에서 병합된 논리/DRAM 서브시스템의 아키텍처에 대한 사양이 제공된다. 칩은 상측 및 하측 SDRAM 매크로 사이의 칩 중앙부의 로직 코어와 함께, 칩의 상측 및 하측 부분상에 배치된 다중뱅크(multi-bank)의 동기화된 DRAM(SDRAM) 매크로로 구성된다. 칩 중앙부의 한 측면상에 적어도 하나의 위상 동기 루프(phase locked loop; PLL)가 배치되어 칩의 중앙으로 경로배정된 후 버퍼링되며, SDRAM 매크로 및 글로벌 클럭 드라이버를 구동시키기 위해 인버터의 평형 트리를 통해 팬아웃(fan out)되는 온칩 시스템 클럭을 제공하는 것이다. 메인 글로벌 클럭 드라이버(main global clock driver)는 부가의 버퍼링 레벨을 제공하며, 특정한 폭 및 두께를 갖는 2개 이상의 두꺼운 와이어 금속층을 이용하여 전체 칩상으로 분배되는 로컬 클럭 드라이버(local clock driver)에 대한 클럭 신호를 생성한다. 온칩 시스템 버스는 SDRAM 매크로 및 로직 코어 사이에 고속 데이터 전송을 제공한다. 각 코어는 특정한 애플리케이션에 따라, 예를 들면 넓은 비트 폭의 데이터 경로 연산 엔진, 그래픽 엔진, 마이크로프로세서 코어 등일 수도 있다. 조합된 멀티플렉서 및 버퍼 회로는 오프칩 I/O 드라이버를 통해 온칩 시스템 버스 및 오프칩 소자 간에 고속의 양방향성 데이터 전송을 제공한다. SDRAM 매크로 및 로직 코어에 대한 개별적인 전력 분배 그리드는 SDRAM 매크로 및 로직 코어에 대한 디커플링 캐패시터 어레이를 개별적으로 포함한다. SDRAM들간의 전력 그리드, 및 SDRAM 매크로와 로직 코어 사이의 전력 그리드를 접속하거나 또는 개발하기 위해 프로그램가능한 와이어링 셀(programmable wiring cell)이 제공된다.

발명의 구성 및 작용

전술한 내용 및 다른 목적, 특징, 및 장점은 첨부되는 도면을 참조하여 다음의 본 발명의 바람직한 실시 예의 상세한 설명으로부터 보다 잘 이해될 것이다.

도 1을 참조하면, 단일 칩상의 병합된 로직/DRAM 서브시스템의 아키텍처가 도시되어 있다. 도시된 특정 아키텍처는 랜덤 액세스 판독 및 기록 트래픽상에서 고성능의 대역폭을 지원할 수 있는 병합된 DRAM 및 로직 기술로서 통합된 매체 메모리(unified media memory; UMM) 칩에 대한 것이다. 이러한 특정한 아키텍처는 단지 예시적인 것이며 개시된 기법이 많은 고성능의 시스템 온칩 설계에서 유용할 수 있다.

도 1에 도시된 시스템은 위상 동기 루프(PLL) 클럭(11), 게이트 어레이 또는 표준형 셀의 랜덤 로직 메모리 제어기(12), 고대역폭 그래픽 엔진(13)(도 1에서 BitBLT로서 도시됨), 직렬 액세스 메모리(series

10-0268745

access memory; SAM)(14), 및 다중뱅크의 64메가비트 동기형 DRAM(SDRAM)(15)를 포함한다. 이들 로직 코어 및 SDRAM 매크로는 고대역폭의 256비트 온칩의 상측 및 하측 데이터 버스(16a 및 16b)를 통해 통신한다. 게이트 어레이 메모리 제어기(12)는 각종 SDRAM 매크로에 모든 제어 및 주소 신호를 제공한다. 조합된 멀티플렉서 및 버퍼(MUX/BUFF)(17a, 17b, 17c 및 17d)는 (도 5a 및 5b에서 평면 주변에 도 16b)의 양 단부에 접속된다. PLL(11)은 온칩 클럭 생성 네트워크를 제공한다.

도 1의 아키텍처에 대한 평면도는 도 2에 도시되어 있다. SDRAM 매크로(21, 내지 21, 및 21, 내지 21)는 칩의 상측 및 하측 부분상에 각각 배치되고, PLL(22), DRAM 제어기(23), BitBLT 엔진(24), SAM(25)을 포함하는 로직 코어는 상측 및 하측 SDRAM 매크로 사이의 칩의 중앙 영역상에 배치된다. PLL(22)은 칩의 중앙 영역의 좌측면에 배치되어 클럭 생성 네트워크에 대한 클럭 신호를 생성한다.

클럭 경로배정은 설계시에 가장 중요한 경로중의 하나이다. 클럭 생성 네트워크를 제공하는 데에는 몇 가지 방법이 있다. 종래 기술의 클럭 네트워크는 U자형 부프로시 분배되었다. 도 2의 평면에 적용된 바와 같이, 8개의 SDRAM 매크로를 모두 접속하기 위해 도 3에 도시된 U자형 분배 시스템(31)이 생길 수 있다. 이 방법의 단점은 SDRAM 매크로(21)가 SDRAM(21)의 클럭 신호보다 빠르게 클럭 신호를 취할 수 있고, 이러한 아키텍처에서 각종 SDRAM 매크로들간의 클럭의 스쿠 또는 신호의 저하를 막을 수 없다는 점이고, 이는 SDRAM 매크로(21, 및 21)의 경우에 대해서도 마찬가지이다.

본 발명에 따르면, 도 4a에 도시된 바와 같이, PLL(41)로부터의 온칩 시스템 클럭은 칩의 중앙(메인 클럭 라인)으로 경로배정되어, 두껍고 넓은 금속 와이어를 이용하여 저항-캐패시턴스(RC)의 시간 지연을 최소화하고, 그리고 나서 버퍼(42a 및 42b)에 의해 버퍼링되며, 인버터의 평형 트리(도시되지 않음) 및 SDRAM 매크로 및 노리 클럭 드라이버를 구동시키기 위해 RC 시간 지연과 클럭 스쿠를 최소화하는 방식으로 설계된 특정한 폭과 두께를 갖는 클럭 와이어를 통해 팬아웃(fan out)된다. 바람직하게, 와이어는 300 내지 1100 nm의 폭과 200 내지 1100 nm의 두께를 가질 것이다. 또한, 메인 글로벌 클럭 드라이버는 부가의 버퍼링 레벨을 제공하여 2개 이상의 금속층을 이용하여 전체 칩상으로 분배되는 로컬 클럭 드라이버에 더한 클럭 신호를 생성한다. 마찬가지로, 도 4b에 도시된 바와 같이, 각각의 제어 신호는 우수 스쿠(even skew)에 의해 각각의 SDRAM 매크로로 균일하게 분배된다. 각각의 SDRAM 매크로는 클럭 신호(CKE), 행 액세스 스트로브(RAS), 열 액세스 스트로브(CAS), 기록 인에이블(WE) 신호, 칩 인에이블(CE) 신호를 수신한다. 스쿠를 최소화하기 위해 모든 신호는 균일하게 분배된다. 모든 SDRAM 매크로에 대한 제어 신호(CAS, RAS, CS, CE). 어드레스 디코더 라인(A0-A12), 데이터 버퍼 버스는 클럭 평형 트리 분배와 동일한 방식으로 경로배정된다. 신호들에 대한 대형형 레이아웃은 칩의 하측 부분상의 SDRAM 셀(도시되지 않음)에 대한 것과 동일할 수 있다.

칩의 대형형 레이아웃은 본 발명에 따른 병합된 DRAM/로직 사양의 중요한 부분이다. 대형형이 아니면, 클럭은 동기화된 방식으로 신호를 전송할 수 있으나, 몇몇 셀은 다른 셀보다 일찍 또는 늦게 데이터를 취할 수 있다. 칩은 가장 느린 부품 정도의 속도만으로 기능할 수 있으므로, 모든 메모리 셀은 데이터를 동시에 수신하고 저장해야 한다.

칩 중앙부의 SDRAM 매크로 및 로직 코어 사이에는 병렬의 데이터 버스가 배치된다. 데이터 버스의 절반은 로직 코어 및 상측 SDRAM 사이에 배치되고 나머지 절반은 로직 코어 및 하측 SDRAM 사이에 배치된다. 데이터 버스의 비트들은 데이터 버스의 인접 비트들간의 신호 커플링 효과를 최소화하는 방식으로 순서화된다. 이는 기술되는 특정한 아키텍처의 구현에 대해 도 5a에 도시되어 있다. 도 5a에는 SDRAM 매크로에 대한 디커플링 캐패시터 어레이의 배치 및 로직 코어에 대한 디커플링 캐패시터가 명확하게 도시되어 있다. 디커플링 캐패시터는 메모리에 잡음 차폐재(noise shield)를 제공한다. 로직 코어는 SDRAM의 동작을 간섭할 수 있는 잡음 환경에서 동작한다. 또한, 디커플링 캐패시터 어레이는 칩 동작시에 전원 변동 di/dt의 효과를 감소시킨다. 디커플링 캐패시터 어레이는 칩 영역의 요건을 증대시키지 않고 시스템 성능을 저하시키지 않는 방식으로 시스템 버스 영역 또는 다른 소자의 자유 영역에 배치된다. 디커플링 캐패시터 어레이에 대한 기본 셀은 종래의 DRAM 기술로 평형 트랜지스터 셀 또는 트랜치 캐패시터 셀의 게이트-소스 및 소스-게이트를 이용하여 구성될 수 있다. SDRAM 매크로 및 로직 코어에 대한 직교 전력 그리드(Vdd 및 Gnd)의 분배는 분리되어 있다. 도 5b에 도시된 바와 같이, Vdd 및 Gnd의 수평선 및 수직선은 2개 이상의 두껍고 넓은 금속층을 이용하여 서로 인터리브된다. PLL에 대해 개별적인 Vdd 전원이 또한 존재한다.

SDRAM 매크로 및 로직 코어에 대한 전력 그리드는 2개의 인접한 전속 패드간의 프로그램가능한 퓨즈(programmable fuse)를 도입함으로써 서로 용이하게 함께 접속될 수 있다. 이러한 퓨즈의 구조는 도 6a에 도시되어 있으며 전형적으로는 한쌍의 접속 패드(62 및 63)들간의 퓨즈 소자로서 폴리실리콘 와이어(61)를 포함한다. 대안으로, 도 6b에 도시된 바와 같이 테스트를 위해 전계 효과 트랜지스터(FET) 소자(64) 형태의 프로그램가능한 안티퓨즈(programmable anti-fuse)가 사용될 수 있다. 두 경우에 대해, 도 7에는 DRAM 매크로 및 로직 코어 전력 그리드를 접속하거나 또는 개방하기 위한 전형적인 프로그램가능한 와이어링 구조가 도시되어 있다.

고성능을 위해 칩은 평형 클럭 분배, 제어 및 어드레스 버스, 전력 그리드 분배, 다수의 독립적인 내부 뱅크를 통한 데이터 분배, 다수의 미결정 트랜잭션(outstanding transactions)을 갖는 능력, 고속의 넓은 외부 I/O 채널에 의존한다. 각각의 SDRAM 매크로내에서는 동기화, 고속 랜덤 액세스, 낮은 클럭 스쿠가 강화된다. 평면은 단순성, 대형형 액세스, 저전력 분배, 잡음 억제와 장점을 갖는다.

기술되고 예시된 SDRAM 매크로 UMB 엔진은 동기형 단일 뱅크 레벨 또는 다중레벨의 행 액세스 스트로브(RAS) 제어를 특징으로 하고 200MHz 동작에 의해 1/2/4/8/전체 페이지 버스트 모드를 지원한다. 매크로로부터 획득된 I/O의 수는 64이며, 이는 2개 이상의 매크로를 조합함으로써 미상적인 인터리빙(interleaving) 또는 사전인출(prefetch) 아키텍처를 제공한다.

PLL은 제어 신호를 각종 매크로로 동기화하기 위한 게이트 어레이 메모리 제어기에 신호를 보낸다. 데이터 버스는 UMB 엔진의 외부로부터 수신되거나 또는 메모리 제어기에 의해 제어된 4개의 멀티플렉서 및 버퍼

10-0268745

(MUX/BUFF)를 통해 오프칩으로 전송되며, 그 메모리 제어기는 각종 DRAM 매크로 및 로직 코어에 제어 신호 및 어드레스 신호를 전송한다.

본 발명은 하나의 바람직한 실시예의 관점으로 기술되었으나, 당 분야에서 통상의 지식을 가진 자라면 첨부되는 청구 범위의 정신 및 범위내에서 변경이 실시될 수 있음을 인지할 것이다.

발명의 효과

상기한 바와 같은 본 발명에 따르면, 칩 아키텍처 표준은 동적 랜덤 액세스 메모리 매크로 및 로직 코어를 병합한다. DRAM 매크로 및 로직 코어에 대한 높은 성능 및 낮은 클럭 스쿠를 위해 아키텍처는 평형 클럭 분배에 의존한다. 제어 로직의 클럭 드라이버로부터 각종 DRAM 매크로의 대응하는 입력까지의 평형 와이어링에 의해 어드레스 및 제어 신호의 지연의 차가 최소화된다. 분리된 Vdd 및 Gnd 전력 그리드는 DRAM 매크로 및 로직 코어에 전력을 분배하고 디커플링 캐패시터 어레이를 내장하여 DRAM 매크로 및 로직 사이의 잡음을 억제하고 칩 동작시에 전원 변동 di/dt를 최소화한다. 따라서, 병합된 DRAM 및 로직 설계로부터의 표준은 시스템 온칩 설계시에 단순성, 높은 판독 및 기록 액세스 속도, 저전력 소비 및 잡음 억제에 장점을 제공한다.

(57) 청구의 범위

청구항 1

단일 칩(a single chip)상의 병합된 동적 랜덤 액세스 메모리/논리 소자(a merged dynamic random access memory/logic device)에 있어서,

① 칩의 상측 및 하측 부분상의 다수의 동적 랜덤 액세스 메모리 매크로(a plurality of dynamic random access memory macros)와,

② 상기 다수의 동적 랜덤 액세스 메모리 매크로 사이의 칩 중앙부상에 배치되는 다수의 로직 코어(a plurality of logic cores) — 상기 로직 코어중 하나는 상기 다수의 동적 랜덤 액세스 메모리 매크로에 대해 제어 및 어드레스 신호를 생성하는 메모리 제어기이다 — 와,

③ 온칩 시스템 클럭 및 분배 네트워크(an on-chip system clock and distribution network) — 상기 분배 네트워크는 상기 온칩 시스템 클럭으로부터 상기 칩의 중앙으로 클럭 신호를 경로배정하고 나서 버퍼를 포함하며, 인버터의 평형 트리(a balanced tree of inverters) 및 상기 다수의 동적 랜덤 액세스 메모리 매크로를 구동시키기 위해 특정한 폭과 두께를 갖는 금속 와이어(metal wire)를 통해 상기 클럭 신호를 팬아웃(fan out)되고 상기 다수의 로직 코어는 전성 클럭 스쿠(intrinsic clock skew)가 없는 메모리 제어기를 포함한다 — 와,

④ 상기 칩 중앙부의 로직 코어 상단의 다수의 동적 랜덤 액세스 메모리 매크로 및 로직 코어 하단의 다수의 동적 랜덤 액세스 메모리 매크로 사이에 배치되어, 상기 다수의 동적 랜덤 액세스 메모리 매크로 및 상기 로직 코어 사이의 데이터를 전송하는 병렬 시스템 버스(parallel system buses)와,

⑤ 상기 병렬 시스템 버스의 양 단부에 배치되어, 상기 시스템 버스 및 다수의 오프칩 입/출력 드라이버(a multiplicity of off chip input/output drivers) 사이의 데이터를 양방향으로 전송하는 멀티플렉서 및 버퍼(multiplexers and buffers)와,

⑥ 상기 다수의 동적 랜덤 액세스 메모리 매크로, 상기 다수의 로직 코어 및 상기 온칩 시스템 클럭에 대한 개별적인 전력 분배 그리드(separate power distribution grids) — 상기 전력 분배 그리드는 상기 다수의 로직 코어로부터 상기 다수의 동적 랜덤 액세스 메모리 매크로를 분리시키는 다수의 디커플링 캐패시터 어레이(a multiplicity of decoupling capacitor arrays)를 포함하여 상기 로직 코어로부터 상기 다수의 동적 랜덤 액세스 메모리 매크로에 대한 잡음을 분리하고 칩 성능에 대해 전원 변동 di/dt의 효과를 감소시킨다 — 와,

⑦ 상기 동적 랜덤 액세스 메모리 매크로중 하나 및 상기 동적 랜덤 액세스 메모리 매크로중 또다른 하나 사이에 그리고 상기 동적 랜덤 액세스 메모리 매크로중 하나, 상기 로직 코어 및 온칩 시스템 클럭 사이에서 상기 개별적인 전력 분배 그리드를 접속하거나 개방하는 상기 다수의 프로그램가능한 와이어링 셀 구조(a multiplicity of programmable wiring cell structures)

를 포함하는 병합된 동적 랜덤 액세스 메모리/논리 소자.

청구항 2

제 1 항에 있어서,

상기 온칩 시스템 클럭은 위상 동기 루프(a phase locked loop)를 포함하는 병합된 동적 랜덤 액세스 메모리/논리 소자.

청구항 3

제 2 항에 있어서,

상기 분배 네트워크는 로컬 클럭 드라이버(local clock drivers)에 부가의 버퍼링 레벨(additional levels of buffering)을 제공하는 글로벌 클럭 드라이버(global clock drivers)를 포함하고, 상기 클럭 신호는 클럭 스쿠(clock skew)를 최소화하기 위해 특정한 폭 및 두께를 갖는 다수의 금속층(a plurality of metal layers)을 이용하여 접상으로 분배되는 병합된 동적 랜덤 액세스 메모리/논리 소자.

청구항 4

10-0268745

제 3 항에 있어서,

상기 금속층은 100 내지 1100 nm의 폭과 100 내지 1100 nm의 두께를 갖는 병합된 동적 랜덤 액세스 메모리/논리 소자.

청구항 5

제 3 항에 있어서,

상기 메모리 제어기로부터의 상기 제어 신호는 각각의 평형 트리 구조에 의해 상기 상측 및 하측의 다수의 동적 랜덤 액세스 메모리 매크로로 분배되어 우수 타이밍(even timing)에 의해 상기 제어 신호가 분배되는 병합된 동적 랜덤 액세스 메모리/논리 소자.

청구항 6

제 1 항에 있어서,

상기 동적 랜덤 액세스 메모리 매크로는 동기형 동적 랜덤 액세스 메모리 어레이(synchronous dynamic random access memory arrays)인 병합된 동적 랜덤 액세스 메모리/논리 소자.

청구항 7

단일 칩상의 병합된 동적 랜덤 액세스 메모리 및 로직 기술을 위한 클럭 생성 네트워크에 있어서,

① 위상 동기 루프를 포함하는 온칩 시스템 클럭과,

② 상기 온칩 시스템 클럭에 접속되어 클럭 신호를 칩의 중앙으로 경로배정하고 나서 버퍼링하며, 인버터의 평형 트리 및 다수의 동적 랜덤 액세스 메모리 매크로와 진성 클럭 스쿼가 없는 다수의 로직 코어를 구동시키기 위해 특정한 폭과 두께를 갖는 클럭 와이어를 통해 클럭 신호를 팬아웃되는 클럭 분배 네트워크를 포함하며,

상기 클럭 분배 네트워크는 로컬 클럭 드라이버에 부가의 버퍼링 레벨을 제공하는 다수의 메인 글로벌 클럭 드라이버(a multiplicity of main global clock drivers)를 포함하고, 클럭 신호는 클럭 스쿼를 최소화하기 위해 특정한 폭과 두께를 갖는 다수의 금속층을 이용하여 전체 칩상으로 분배되는 클럭 생성 네트워크.

청구항 8

제 7 항에 있어서,

상기 클럭 와이어는 100 내지 1100 nm의 폭과 100 내지 1100 nm의 두께를 갖고, 상기 금속층은 100 내지 1100 nm의 폭과 100 내지 1100 nm의 두께를 갖는 클럭 생성 네트워크.

청구항 9

단일 칩상의 병합된 동적 랜덤 액세스 메모리 및 논리 기술에 있어서,

① 위상 동기 루프를 포함하는 온칩 시스템 클럭과, 상기 온칩 시스템 클럭에 접속되어 클럭 신호를 칩의 중앙으로 경로배정하고 나서 버퍼링하며, 인버터의 평형 트리 및 다수의 동적 랜덤 액세스 메모리 매크로와 진성 클럭 스쿼가 없는 다수의 로직 코어를 구동시키기 위해 특정한 폭과 두께를 갖는 클럭 와이어를 통해 클럭 신호를 팬아웃되는 클럭 분배 네트워크 — 상기 클럭 분배 네트워크는 로컬 클럭 드라이버에 부가의 버퍼링 레벨을 제공하는 다수의 메인 글로벌 클럭 드라이버를 포함하고, 클럭 신호는 클럭 스쿼를 최소화하기 위해 특정한 폭과 두께를 갖는 다수의 금속층을 이용하여 전체 칩상으로 분배된다 — 를 포함하는 클럭 생성 네트워크와,

② 행 액세스 스트로브(row access strobe), 열 액세스 스트로브(column access strobe), 기록 인에이블 신호, 매크로 선택 신호 및 어드레스 디코더 라인에 대해, 상이한 동적 랜덤 액세스 메모리 매크로에 대한 어드레스 및 제어 신호의 지연의 차를 최소화하는 방식으로, 제어 로직의 클럭 드라이버로부터 상이한 동적 랜덤 액세스 메모리 매크로의 대응하는 입력까지의 평형 와이어링(balanced wiring)을 포함하는 다중뱅크(multi-bank)의 동적 랜덤 액세스 메모리 매크로에 대한 제어, 어드레스 및 데이터 버스(control, address and data buses)

를 포함하는 병합된 동적 랜덤 액세스 메모리/논리 소자.

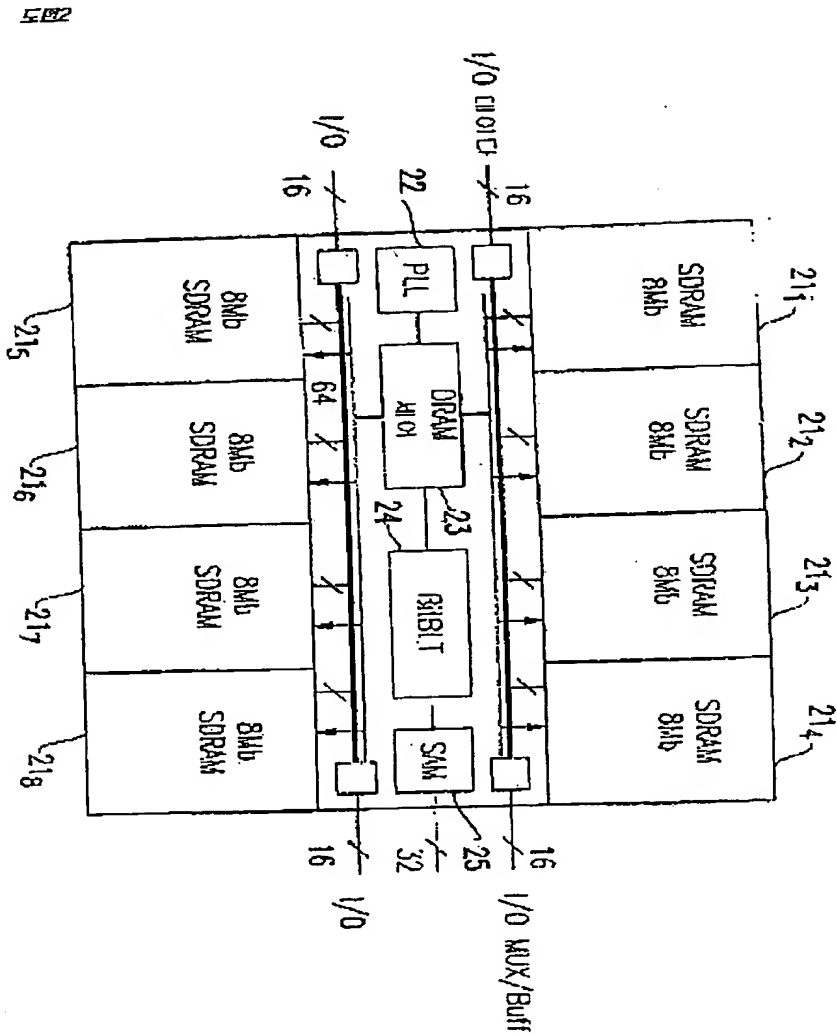
청구항 10

제 9 항에 있어서,

상기 클럭 와이어는 100 내지 1100 nm의 폭과 100 내지 1100 nm의 두께를 갖고, 상기 금속층은 100 내지 1100 nm의 폭과 100 내지 1100 nm의 두께를 갖는 병합된 동적 랜덤 액세스 메모리/논리 소자.

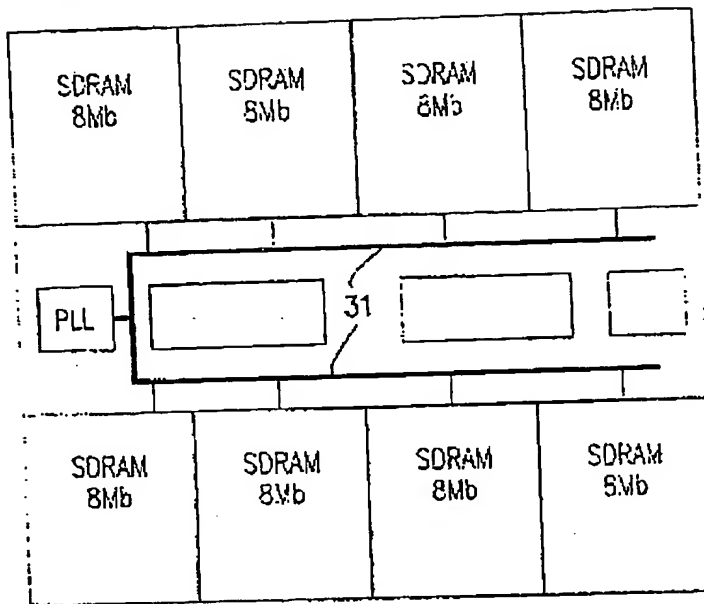
도면

10-0268745

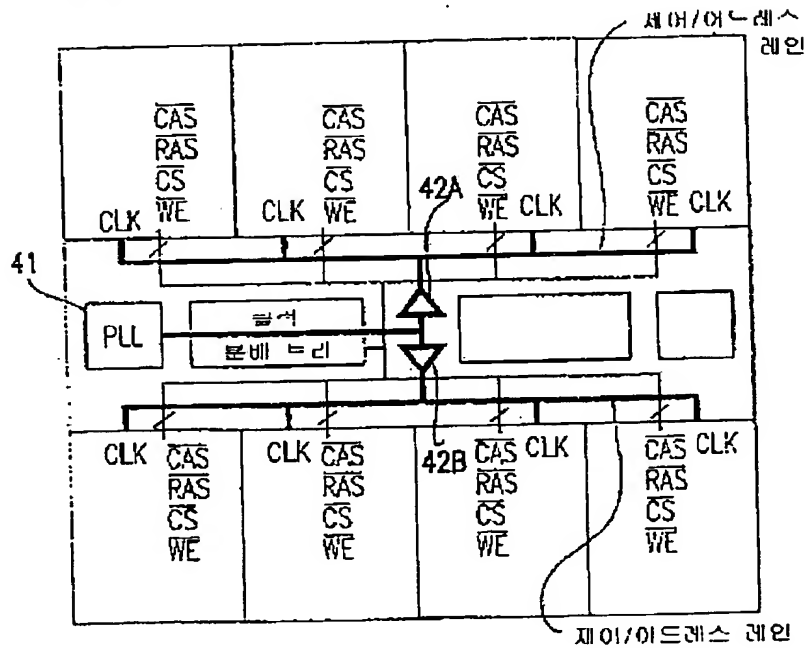


10-0268745

도면3

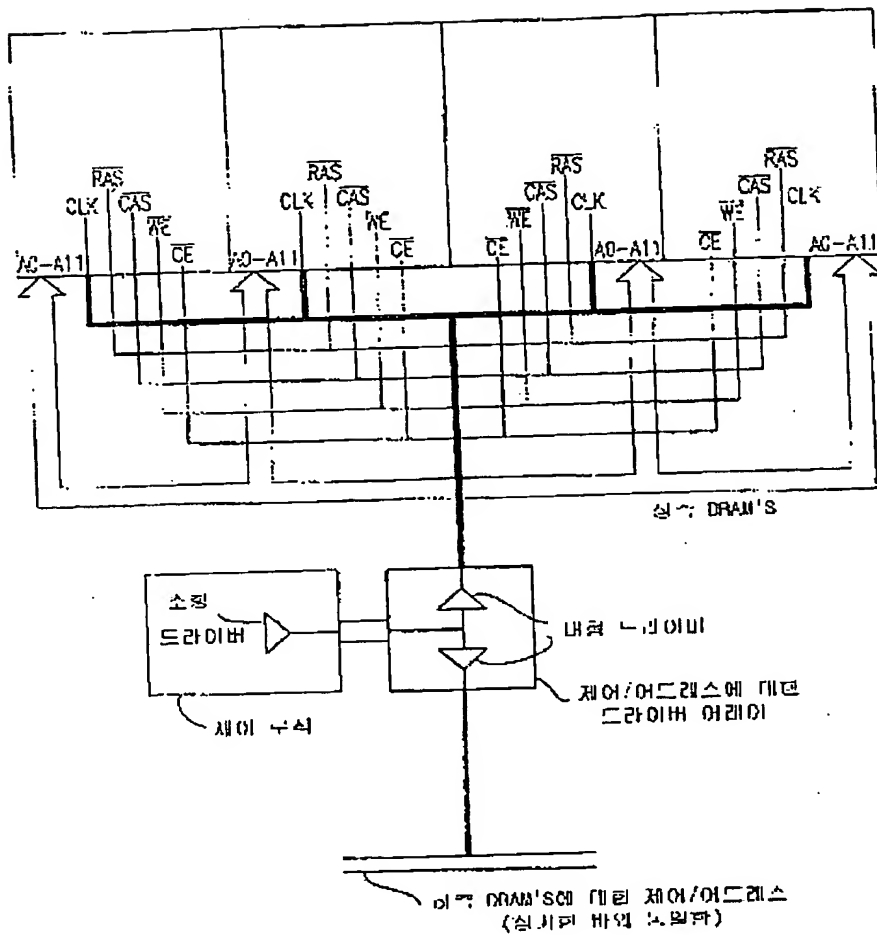


도면4a



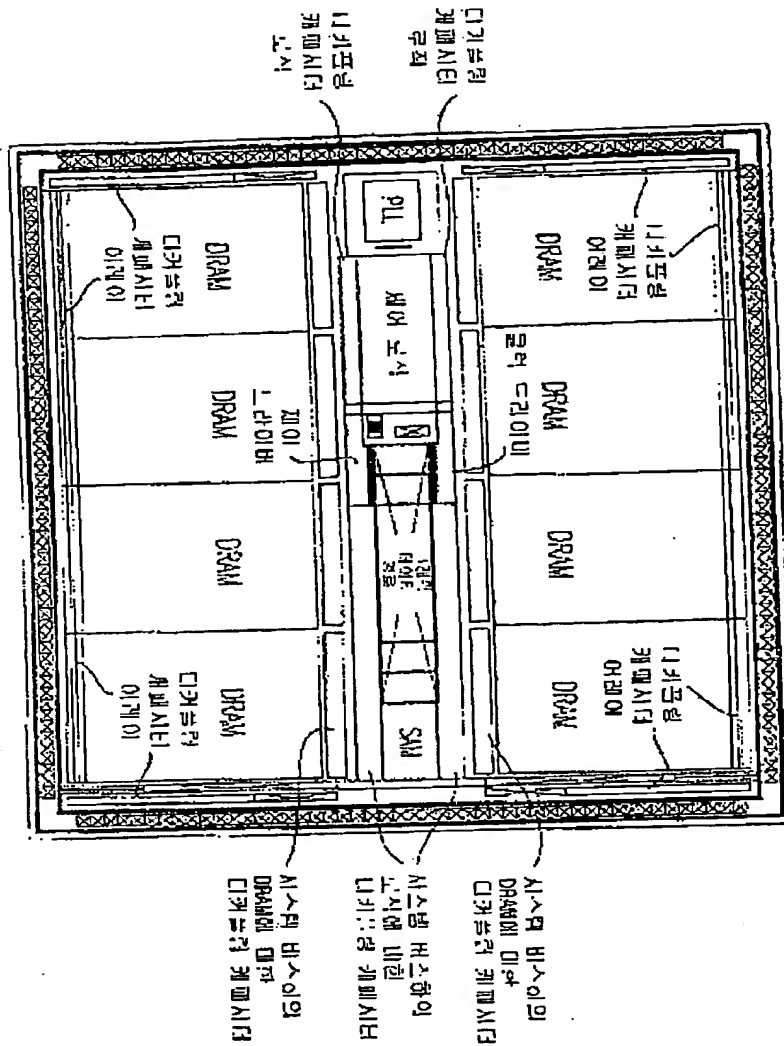
10-0268745

도면 4b



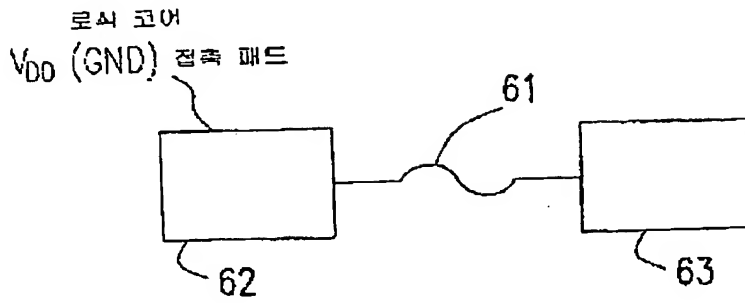
10-0268745

505a

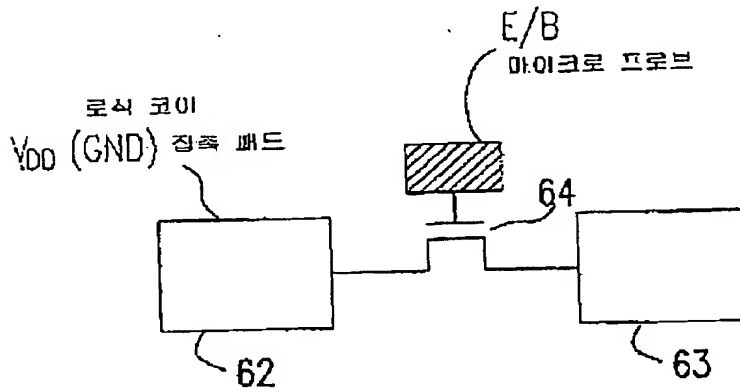


10-0268745

도면8a



도면8b



507

